

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-151696

(43)Date of publication of application : 30.05.2000

(51)Int.CI. H04L 12/56
H04L 12/28

(21)Application number : 10-315978 (71)Applicant : HITACHI LTD

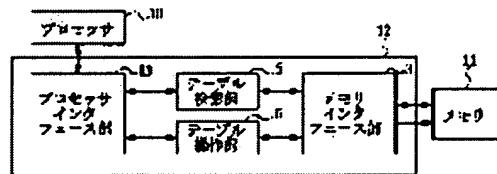
(22)Date of filing : 06.11.1998 (72)Inventor : TANABE NOBORU
SUKAI KAZUO
SAKATA YOSHIHIKO

(54) INFORMATION PROCESSING SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce an interruption time for table retrieval operation owing to a table update operation.

SOLUTION: An entry buffer, a read address register, a write address register, a control section and a status register are provided in a table operation section 6 interposed between a processor interface section 13 and a memory interface section 3 and in operation exclusively with a table retrieval section 5, a processor 10 writes data in advance to the entry buffer and on setting an address of a write destination entry to the write address register, the control section starts a table operation where memory write transfer is automatically conducted from the entry buffer to the memory interface section 3, the table retrieval section 5 continues retrieval processing till one retrieval processing is finished, when one retrieval processing is finished, the table is operated and after the table operation is finished, the table retrieval is automatically restarted to decrease the interruption of the table retrieval processing owing to the table operation.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-151696

(P2000-151696A)

(43)公開日 平成12年5月30日 (2000.5.30)

(51)Int.Cl.⁷
H 0 4 L 12/56
12/28

識別記号

F I
H 0 4 L 11/20
11/00

テマコード*(参考)
1 0 2 D 5 K 0 3 0
3 1 0 Z 5 K 0 3 3
9 A 0 0 1

審査請求 未請求 請求項の数3 O L (全 12 頁)

(21)出願番号 特願平10-315978

(22)出願日 平成10年11月6日 (1998.11.6)

(71)出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72)発明者 田那邊 翼

神奈川県秦野市堀山下1番地 株式会社日立製作所汎用コンピュータ事業部内

(72)発明者 須貝 和雄

神奈川県秦野市堀山下1番地 株式会社日立製作所汎用コンピュータ事業部内

(74)代理人 100080001

弁理士 筒井 大和

最終頁に続く

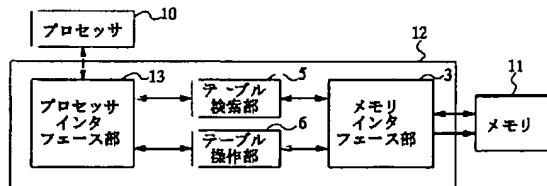
(54)【発明の名称】 情報処理システム

(57)【要約】

【課題】 テーブル更新操作によるテーブル検索操作の中断時間を短縮する。

【解決手段】 プロセッサインターフェース部13とメモリインターフェース部3との間に介在し、テーブル検索部5と排他的に動作するテーブル操作部6内にエントリバッファ、リードアドレスレジスタ、ライトアドレスレジスタ、制御部、ステータスレジスタを設け、プロセッサ10からエントリバッファへ予めデータを書込んでおり、書き込み先のエントリのアドレスをライトアドレスレジスタに設定することを契機に制御部がエントリバッファからメモリインターフェース部3の側に自動的にメモリライト転送を行うテーブル操作を開始し、テーブル検索部5は1回の検索処理が終了するまでは検索処理を続け、1回の検索処理が終了したところでテーブル操作が入り、テーブル操作が終了した後、自動的にテーブル検索を再開することにより、テーブル操作によるテーブル検索処理の中断を短くする。

図 1



【特許請求の範囲】

【請求項1】 データを含むテーブルが格納されるメモリと、前記テーブル内の前記データの検索動作を行うテーブル検索部、前記データの更新動作を行うテーブル操作部、前記テーブル検索部および前記データ操作部による前記メモリへのアクセスを排他的に行わせる排他制御部、を含むテーブル検索操作処理機構と、前記テーブル検索操作処理機構を制御するプロセッサと、を有する情報処理システムであって、

前記テーブル操作部は、

少なくとも前記テーブル内の前記データの1回の検索単位である1エントリ分の記憶容量を有するバッファ領域と、

前記バッファ領域から前記メモリへ前記データを書き込む際のライトアドレスおよび前記メモリから前記バッファ領域へ前記データを読み出すためのリードアドレスの少なくとも一方が格納される少なくとも一つのアドレスレジスタと、

前記アドレスレジスタに対する前記ライトアドレスまたは前記リードアドレスの設定を契機に自発的に前記バッファ領域と前記メモリとの間における前記データの転送操作を実行する操作制御部と、

を含むことを特徴とする情報処理システム。

【請求項2】 請求項1記載の情報処理システムにおいて、

前記テーブル検索部が複数の検索処理を連続して実行するとき、前記プロセッサから前記テーブル操作部内の前記アドレスレジスタへの設定動作によりテーブル操作が起動されると、前記テーブル検索部は、1回の前記検索処理が終了するまでは検索処理を続け、当該検索処理が終了したところで、前記テーブル操作を行い、当該テーブル操作が終了した後、自動的に前記検索処理を再開することを特徴とする情報処理システム。

【請求項3】 請求項1記載の情報処理システムにおいて、

前記プロセッサから前記テーブル操作部内の前記バッファ領域に特定データを書き込んだ後、前記メモリ内の書き込み対象の各エントリに対応したライトアドレスを前記アドレスレジスタに設定する動作を反復することで、前記テーブル内の複数の前記エントリを同一の前記特定データで埋める操作、

前記プロセッサから、前記アドレスレジスタに前記メモリ内の目的のエントリのリードアドレスを設定することにより、前記テーブル内の前記アドレスレジスタで指示された位置から前記バッファ領域へのデータ転送を連続したメモリアクセスを行った後、前記プロセッサが前記バッファ領域から1エントリのデータを複数回のレジスタリードで読み込む操作、

前記プロセッサが前記アドレスレジスタに前記メモリ内の目的のエントリデータのリードアドレスを設定して前

記バッファ領域に前記エントリデータを読み出すステップと、前記プロセッサが前記バッファ領域内に読み出された前記エントリデータを部分的に書き換えるステップと、前記プロセッサが前記アドレスレジスタに前記リードアドレスと同じライトアドレスを設定して、前記バッファ領域内の部分的に書き換えられた前記エントリデータを前記メモリ内の元の格納位置に書き戻すステップと、を反復することで複数のエントリデータの部分更新を実行する操作、

前記プロセッサから第1の前記アドレスレジスタに転送元エントリのアドレスを書き込んだ後、前記プロセッサから第2の前記アドレスレジスタに転送先エントリのアドレスを書き込むことにより、前記メモリに格納された前記テーブル内のデータを前記バッファ領域を経由して移動させる操作、

の少なくとも一つの操作を行うことを特徴とする情報処理システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、情報処理技術に関し、特に、テーブルデータの作成をソフトウエアで行い、テーブルデータの検索処理をハードウエアで行わせる、テーブル検索処理技術、より詳しくは、高速なテーブル検索を必要とするルータ等のネットワーク中継装置等に適用して有効な技術に関する。

【0002】

【従来の技術】たとえば、情報処理の分野では、データベースアクセス等に代表されるように、メモリ上に構築されたテーブルデータを高速に検索する処理が必要とされる場合が多々知られている。

【0003】たとえば、ネットワーク中継技術の分野では、中継データから読み取られた宛て先情報にて半導体メモリ上のルーティングテーブルを検索し、送り先を決定する処理を行うルータ等においても、ルーティングテーブルの検索性能はルータの処理能力を左右する重要な要素となるが、ルーティングテーブルの内容は、ネットワークの構成状態の経時的な変動に呼応して所定のプロトコル等にて実時間で更新する必要があり、取り分け、このような更新処理が隨時発生する状況下での検索処理の効率化が必須となる。

【0004】検索テーブルの作成をソフトウエアで行い、検索テーブルの検索処理をハードウエアで行わせる方式の検索処理機構の参考技術のシステム構成図を図14に示す。10は中央演算処理装置（以下プロセッサと呼ぶ）を、11は検索テーブルが格納されているメモリを、12はプロセッサ10とメモリ11間のデータの受け渡し、および、検索テーブルの検索を行う集積回路を示し、プロセッサ10は、集積回路12を介してメモリ11内に検索テーブルデータを作成した後、集積回路12の検索動作を起動することにより検索を行わせる。

【0005】集積回路12において、13はプロセッサ10との情報の授受を行うプロセッサンタフェース部を、4はメモリ11とのインターフェース制御を行うメモリインターフェース部を、5はプロセッサ10の制御により、検索動作の起動、および停止が行われるテーブル検索部を示す。

【0006】参考技術の検索処理機構の集積回路12内のメモリインターフェース部4の内部を図15に示す。30はテーブル検索部5からのテーブル検索要求、31はテーブル検索要求30に対応するテーブル検索部5からのテーブル検索用アドレスを示し、32はテーブル検索要求30に対応してメモリ11からテーブル検索部5へ渡されるテーブル検索用データを示す。33、34はそれぞれプロセッサ10からプロセッサンタフェース部13を介して要求されるテーブル操作リード要求、テーブル操作ライト要求であり、35はテーブル操作リード要求33およびテーブル操作ライト要求34に対応する操作用アドレスであり、40はテーブル操作リード要求33に対応してメモリ11からプロセッサンタフェース部13を介してプロセッサ10へ渡されるテーブル操作用リードデータ、および、テーブル操作ライト要求34に対応してプロセッサ10からプロセッサンタフェース部13を介してメモリ11に渡されるテーブル操作ライトデータ（ワード単位）である。

【0007】また、プロセッサ10からの起動停止指示により、メモリ11内に構築された検索テーブルの検索動作を行うテーブル検索部5の内部ブロック図を図16に示す。図16で50はプロセッサ10からこのレジスタにデータを書き込むことによりテーブル検索部5のテーブル検索動作の起動、および、停止を指示する検索起動停止レジスタ、51は検索起動停止レジスタ50にプロセッサから書き込まれた検索起動停止指示により検索動作を行う検索制御部であり、検索制御部51は、検索起動停止レジスタ50により、検索の停止が指示された場合、1回の検索動作が終了するまでは、検索動作を続ける。52は現在、検索制御部51が検索を行っているか止まっているかの状態を示すステータスレジスタであり、プロセッサ10は、ステータスレジスタ52を読むことにより、現在、テーブル検索部5が動作中か停止中かを知ることができる。

【0008】プロセッサ10からテーブルデータの更新を行う場合のテーブル操作ライトデータ、およびテーブル操作リードデータ40は、通常、テーブルの1エントリよりも小さい単位（以下ワードと呼ぶ）であり、テーブルの1エントリの内容を更新するためには、通常、複数回のテーブル操作ライトデータ40の書き込みが必要となり、一般にテーブルの1エントリのデータが部分的に書き換えられた状態で、検索動作を行うと、検索結果は、テーブル更新前のものでもテーブル更新後のものでもない、誤った検索結果となることから、テーブルの1

エントリのデータの更新の途中では、検索動作を行ってはいけない。

【0009】テーブル更新途中で検索動作を行わせないようにするための参考技術のシステム構成での1エントリの更新方法について、図17を参照して説明する。

【0010】プロセッサ10からプロセッサンタフェース部13を介してテーブル検索停止信号を検索起動停止レジスタ50に書込む。プロセッサンタフェース部13はテーブル検索部5のステータスレジスタ52が停止中になるまでポーリングし、検索が停止されたらプロセッサ10からプロセッサンタフェース部13とメモリインターフェース部3を介してメモリ11へ単発的にライトアクセスを行う。ライトアクセスが終了したら、プロセッサ10からプロセッサンタフェース部13を介してテーブル検索起動信号を検索起動停止レジスタ50に書込み、検索を再開する。

【0011】

【発明が解決しようとする課題】上述の参考技術では、更新動作中にハードウェア検索動作が割り込まない様に、図17に示すように①検索を中断して、②エントリを更新して、③検索を再開する、と言う段階を踏まなければならない。従って、このテーブル更新操作に起因する、テーブル検索時のメモリアクセスの中止を最小限にすることが、テーブル検索の高速化を実現する上で必須となる。

【0012】本発明の目的は、テーブル更新操作に起因する、テーブル検索時のメモリアクセスの中止を最小限にして、テーブル検索の高速化を実現することが可能な情報処理技術を提供することにある。

【0013】本発明の他の目的は、テーブル検索にてルーティングを行う情報中継装置の性能を向上させることにある。

【0014】

【課題を解決するための手段】本発明は、テーブルが格納されるメモリと、前記テーブル内のデータの検索動作を行うテーブル検索手段と、前記テーブル内のデータの更新動作を行うテーブル操作手段と、プロセッサ等を含み、テーブルの検索動作と更新操作を排他的に行う情報処理システムにおいて、更新エントリのライトデータをあらかじめレジスタバッファ等のバッファ領域に書込んでおき、ライトアドレスの指定を契機としてレジスタバッファからメモリにバースライトアクセスを行う。エントリリード時は、リードアドレスを指定を契機にメモリにバースリードアクセスを行いレジスタバッファにリードデータを格納する。

【0015】これにより、プロセッサの介入によるメモリの更新操作の所要時間、すなわちテーブル操作のためのメモリアクセス時間が削減され、この更新操作と排他的に行われるメモリ内のデータ検索操作の中止時間が最小化されるので、テーブル検索を高速化することが可能

になる。

【0016】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照しながら詳細に説明する。

【0017】(実施の形態1)図1は本発明の一実施の形態である情報処理システムの構成の一例を示す概念図であり、図2、図3および図4は、本実施の形態の情報処理システムの構成要素をさらに詳細に例示した概念図である。

【0018】本実施の形態の情報処理システムは、プロセッサ10と、このプロセッサ10にてアクセスされる情報が格納されるメモリ11と、プロセッサ10によるメモリ11のアクセスを制御する集積回路12とを含んでいる。

【0019】集積回路12は、プロセッサンタフェース部13、メモリインタフェース部12、メモリ11内に構築されているテーブルのデータを検索する動作を行うテーブル検索部5、メモリ11内に構築されているテーブルのデータ更新操作等を行うテーブル操作部6、で構成されている。

【0020】図2は、図1のテーブル操作部6の内部構成の一例を示している。この図2において、60はプロセッサ10がメモリ11とリード/ライトアクセスする為のエントリデータバッファレジスタ(以下、エントリバッファ60と呼ぶ)を、61と62はメモリ11にアクセスする為のリード/ライトアドレスレジスタを、63はエントリバッファのリード/ライトアクセス要求信号を出力する操作制御部を、64はエントリバッファのリード/ライトアクセス中であることを示すビット情報等が操作制御部63から設定されるステータスレジスタである。

【0021】図3は、図1に例示されたメモリインタフェース部3の内部構成の一例を示している。この図3において、30はテーブル検索部5からのテーブル検索要求、30aは、このテーブル検索要求に対して応答される検索許可信号、31はテーブル検索要求30に対応するテーブル検索部5からのテーブル検索用アドレスを示し、32はテーブル検索要求30に対応してメモリ11からテーブル検索部5へ渡されるテーブル検索用データを示す。33、34はそれぞれプロセッサ10からプロセッサンタフェース部13を介して要求されるテーブル操作リード要求、テーブル操作ライト要求であり、35はテーブル操作リード要求33およびテーブル操作ライト要求34に対応するテーブル操作用アドレスであり、40はテーブル操作リード要求33に対応してメモリ11からプロセッサンタフェース部13を介してプロセッサ10へ渡されるテーブル操作用リードデータ、および、テーブル操作ライト要求34に対応してプロセッサ10からプロセッサンタフェース部13を介してメモリ11に渡されるテーブル操作ライトデータである。

る。

【0022】37はアービタ部、37aおよび37bはセレクタであり、アービタ部37は、テーブル検索部5からのテーブル検索要求30、プロセッサ10からプロセッサンタフェース部13を介して要求されるテーブル操作リード要求33およびテーブル操作ライト要求34のアービトレーションを行い、セレクタ37aおよびセレクタ37bを操作して、検索用アドレス31および操作用アドレス35のいずれをメモリアクセスアドレス310とするか、またメモリアクセスデータ311を、検索用データ32および操作用データ36の何れとして出力するかを切り替えることで、テーブル検索部5およびテーブル操作部6のメモリ11に対する排他制御を行う。

【0023】本実施の形態の場合、テーブル操作部6からメモリインタフェース部3を経由してメモリ11に渡される操作用データ36は、メモリ11内に構築されるテーブルを構成するエントリ単位である。

【0024】次に、このメモリ11に対してエントリバッファリード/ライトアクセスを行うと同時に、テーブル検索が行われている場合のメモリインタフェース部3の内部のアービタ部の動作を説明する。図3の33と34の両エントリバッファアクセス要求信号が先にアービタ部37に入力されていると、後から来るテーブル検索要求30は待たされ、エントリバッファアクセスが優先して実行される。アービタ部37はエントリバッファアクセスを起動すると選択信号39を出力し、エントリバッファアクセス用アドレス(操作用アドレス35)とエントリバッファアクセスデータ(操作用データ36)を選択し、それぞれメモリアクセスアドレス310とメモリアクセスデータ311として出力する。

【0025】エントリバッファライトアクセスの場合は、アービタ部37はエントリバッファアクセス用アドレス(操作用アドレス35)とエントリバッファアクセスデータ(操作用データ36)を選択し、メモリアクセスアドレス310とライト用のメモリアクセスデータ311として、メモリ制御信号38とともに出力し、バーストメモリライトアクセスを行う。エントリバッファリードアクセスの時は、アービタ部37はエントリバッファアクセス用アドレス(操作用アドレス35)を選択し、メモリアクセスアドレス310としてメモリ制御信号38とともに出力し、バーストメモリリードアクセスを行う。リードデータであるメモリアクセスデータ311は36を通じてエントリバッファ60にバーストライトされる。

【0026】図4は、図1に例示したテーブル検索部5の内部構成の一例を示す概念図である。本実施の形態のテーブル検索部5は、全体の制御を行う検索制御部51、プロセッサンタフェース部13等の外部から渡される検索用のキーデータ、および検索範囲アドレスがそ

それぞれ格納されるキーデータレジスタ51a、検索範囲アドレスレジスタ51b、ヒット／ミス判定や、検索がヒットしたデータを外部に送出するための検索データバッファ51c、等を備えている。キーデータレジスタ51a、検索範囲アドレスレジスタ51bは複数個あり、複数種のキーデータに関する逐次的な検索操作を連続して実行することが可能である。

【0027】すなわち、プロセッサインタフェース部13の側から設定されたキーデータレジスタ51aが空か否かを検索制御部51は常時監視し、キーデータが存在する場合には、メモリインタフェース部3の側にテーブル検索要求30を出力して検索許可30aが応答されるのを待ち、検索許可30aが応答されたことを契機に、当該キーデータに対応した検索範囲アドレスレジスタ51b内のアドレスを検索用アドレス31としてメモリインタフェース部3に出力して検索用データ32を検索データバッファ51cに読み出し、検索用データ32の所定の部位とキーデータとの一致／不一致の判定（ヒット／ミス判定）を行い、一致した場合には、ヒット信号と検索データバッファ51c内の検索用データ32を検索要求元に送出するとともに、次の検索に備えてキーデータレジスタ51aを空にし、不一致の場合には、当該アドレス範囲の次の検索用データ32を読み出すという操作を最後の検索用データ32まで反復し、最後までヒットしなかった場合には、キーデータレジスタ51aを空にしてミス信号を検索要求元に送出する。

【0028】この検索動作は、複数のキーデータレジスタ51aの全部が空でない限り、テーブル検索要求30を出力して検索許可30aが応答されるのを待ち続けることで、ハードウェア的に自動的に実行される。

【0029】図8～図13は、テーブル操作部6におけるエントリバッファ60を使用した各種動作を実現するためのソフトウェア制御の一例を示すフローチャートである。以下、この図8～図13のフローチャートに基づきエントリバッファ60を使用した動作の一例を示す。

【0030】図8に示す1エントリデータライトを行う場合は、図7にタイムチャートで示すように、プロセッサ10から登録したいエントリテーブルデータをプロセッサインタフェース部13を介してエントリバッファ60へ書き込み（ステップ801）、メモリ11へのライトアドレスをライトアドレスレジスタ62に書き込む（ステップ802）。

【0031】テーブル操作部6の操作制御部63はライトアドレスレジスタ62にライトアドレスが書き込まれたという事象により、エントリバッファ60からメモリ11へのライト動作を起動し、メモリインタフェース部3にライトアドレスレジスタ61に書き込む（ステップ803）。

とす。

【0032】従って、ステータスレジスタ64のライトビットが立っている間は、以前に起動したエントリバッファ60からメモリ11へのライト動作が、まだ終了していないことを示し、プロセッサ10はステータスレジスタ64を読み、ライトビットが立っている間は、エントリバッファ60とライトアドレスレジスタ62には書き込まないように制御しなければならない。ライトビットが立っている間、新たにエントリバッファ60とライトアドレスレジスタ62へのライトを行わないようするためにプロセッサ10はステータスレジスタ64のライトビットが落ちるまでステータスレジスタ64を読み続けるようとする（ステップ803）。

【0033】メモリインタフェース部3がエントリバッファライトアクセスを実行開始すると、ライトデータをエントリバッファ60からメモリ11へ連続して転送を行う。メモリ11への連続ライトは、一般にダイナミックRAMやシンクロナスカティックRAMでサポートされているバースライトサイクルを使用することができ、1ワードづつのライトサイクルを繰り返すよりも高速に行なうことができる。ライトアクセスが終了すると、操作制御部63はステータスレジスタ64のライトビットをクリアしてアクセス終了する。

【0034】テーブル検索部5は、テーブル操作部6によるエントリバッファ60からメモリ11へのバーストライトが終了すると、メモリインタフェース部3のアービタ部37から検索許可30aをもらうことで、自動的に検索動作を再開し、図7にタイムチャートで示す通り、検索動作の中止はメモリ11のバーストライトの間だけとなり、図17に示す参考技術の例で、プロセッサ10からのレジスタライトで検索動作を停止した後、エントリの内容を書き換え、レジスタライトで検索動作を再開する場合に比べ、検索動作の中止時間（図7の検索中断、②更新期間、③検索再開）を大幅に削減することができる。

【0035】図9に示す1エントリデータリードを行う場合は、プロセッサ10からリードしたいテーブルのアドレスをリードアドレスレジスタ61に書き込む（ステップ901）。

【0036】テーブル操作部6の操作制御部63はリードアドレスが書き込まれたという事象により、メモリ11からエントリバッファ60へのリード動作を起動し、メモリインタフェース部3にリードアクセス要求信号（テーブル操作リード要求33）を出力すると同時にステータスレジスタ64のリードビットを立て、メモリ11からエントリバッファ60へのデータ転送が終了したら、ステータスレジスタ64のリードビットを落とす。

【0037】従って、ステータスレジスタ64のリードビットが立っている間は、以前に起動したメモリ11からエントリバッファ60へのリード動作が、まだ終了し

ていないことを示し、プロセッサ10はステータスレジスタ64を読み、リードビットが立っている間は、リードアドレスレジスタ61には書き込まないように制御しなければならず、また、エントリバッファ60を読まないように制御しなければならない。リードビットが立っている間、新たにリードアドレスレジスタ62へのライトとエントリバッファ60のリードを行わないようするためプロセッサ10はステータスレジスタ64のリードビットが落ちるまで、ステータスレジスタ64を読み続けるようにする（ステップ902）。

【0038】メモリインタフェース部3がエントリバッファリードアクセスの実行を開始すると、リードデータをメモリ11からエントリバッファ60へ連続して転送を行う。メモリ11からの連続リードも、連続ライトと同様に、一般にダイナミックRAMやシンクロナス静态RAMでサポートされているバーストリードサイクルを使用することができ、1ワードづつのリードサイクルを繰り返すよりも高速に行うことができる。リードアクセスが終了すると操作制御部63はステータスレジスタ64のリードビットをクリアする。

【0039】プロセッサ10はプロセッサインタフェース部13を介してエントリバッファ60からデータをリードしてアクセスを終了する（ステップ903）。

【0040】テーブル検索部5は、テーブル操作部6によるメモリ11からエントリバッファ60へのバーストリードが終了すると、メモリインタフェース部3のアビタ部37から検索許可30aをもらうことで、自動的に検索動作を再開し、検索動作の中止はメモリ11のバーストリードの間だけとなる。プロセッサ10からのエントリバッファ60のリードは検索動作が再開した後に並行して行うことができる。

【0041】図10に示す1エントリ内データ部分書換えを行う場合は、図9に示すフローのステップ901～ステップ902と同様のフローで1エントリのデータをエントリバッファ60に読み込んだ後（ステップ1001～ステップ1002）、エントリバッファ60にエントリ内容が格納されているので更新したい箇所をプロセッサ10からエントリバッファ60へのデータライトにより更新し（ステップ1003）、ライトアドレスレジスタ62にリード時と同じエントリのアドレスを書込む（ステップ1004、ステップ1005）。後は図8の1エントリデータライトと同じフローで1エントリのデータをエントリバッファ60からメモリ11に転送する。

【0042】次に、図11にて、同じ内容を複数エントリにフィルする場合のフローの例について説明する。同じ内容を複数エントリにフィルするという処理は、例えばテーブルの初期化時に必要であり、システムを立ち上げてからテーブルの検索が開始できるまでの時間を短縮するために、フィルの高速化は重要である。

【0043】まず、図8に示す1エントリデータライトと同じフロー（ステップ801～803）でエントリバッファ60にフィルするデータを書き込む（ステップ1101）。その後、ライトアドレスレジスタ62にライトエントリアドレスを書き込んだ後（ステップ1103）、ステータスレジスタ64のライトビットが落ちるまで、ステータスレジスタ64を読み続ける（ステップ1104）、という処理を書き込む全エントリ分、繰り返す（ステップ1102）。

【0044】次に、図12にて、1エントリ内に全エントリ共通フィールドとエントリ毎に異なるフィールドとが混在する場合のフィルのフローの例について説明する。

【0045】まず、エントリバッファ60に、全エントリで共通なフィールドにフィルするデータを書き込む（ステップ1201）。その後、エントリバッファ60に、各エントリ毎に異なるフィールドのデータを書き込み（ステップ1203）、ライトアドレスレジスタ62にライトエントリアドレスを書き込んだ後（ステップ1204）、ステータスレジスタ64のライトビットが落ちるまでステータスレジスタ64を読み続ける（ステップ1205）、という処理を書き込む全エントリ分繰り返す（ステップ1202）。

【0046】次に、図13にて、テーブル内でのデータ移動処理のフローの例について説明する。転送元のエントリに対し、図9に示す1エントリデータライトと同様のフローでメモリ11からエントリバッファ60へのデータ転送を行った後（ステップ1301、ステップ1302）、図8に示す1エントリデータライトと同様のフローでエントリバッファ60からメモリ11へのデータ転送を行う（ステップ1303、ステップ1304）。図13に示す通り、テーブル内でのデータの移動処理では、プロセッサ10とエントリバッファ60の間でのデータライトおよびデータリードを行わずに、データ転送が行え、高速にデータの移動ができるという特徴がある。

【0047】以上のように、本実施の形態によれば、集積回路12内のテーブル操作部6に設けられたエントリバッファ60に1エントリのデータを、プロセッサ10から複数回の書き込みにより格納した後、メモリ11へデータを転送することにより、メモリ11へのバーストアクセスが可能となり、メモリ11上に構築されたテーブル更新のためのメモリアクセス時間を削減できる、という効果がある。

【0048】エントリバッファ60からメモリ11へのデータ転送が終了後、テーブル検索部5が自動的に検索動作を再開することにより、テーブル更新による検索動作の中止時間を削減できる、という効果がある。

【0049】エントリバッファ60にエントリデータを格納しておき、エントリバッファ60の内容を書き換える

すに、複数のエントリにエントリバッファ60のデータを書き込むことにより、同じエントリデータの複数エントリへのフィルが高速化される。これは、同じエントリデータの複数エントリへのフィルは、例えばテーブルの初期化時に必要であり、システムを立ち上げてからテーブルの検索が開始できるまでの時間を短縮できる、という効果がある。

【0050】メモリ11からエントリバッファ60へデータを転送後、プロセッサ10からエントリバッファ60のデータを複数回の読み込みにより読み出すことにより、メモリ11へのバーストアクセスが可能となり、テーブル読み込みのためのメモリアクセス時間を削減できる、という効果がある。

【0051】メモリ11からエントリバッファ60へのデータ転送が終了後、自動的に検索動作を再開させることにより、テーブル読み込みによる検索動作の中断時間を削減できる、という効果がある。

【0052】テーブル操作部6のライトアドレスレジスタ62およびリードアドレスレジスタ61にライト/リードするエントリのアドレスを書き込むことでライト/リードアクセスが起動されるようにすることにより、起動レジスタを省略でき、レジスタアクセスを1回分減らすことで高速な処理が可能になる。

【0053】(実施の形態2)次に、図5にて、本実施の形態の情報処理システムを、情報ネットワークにおける通信データの中継動作を行うルータ等の情報中継装置に適用した例を説明する。

【0054】本実施の形態のルータでは、図1の例示した構成に加えて、TCP/IPパケットのバッファリングおよびフォワーディングを行うパケットフォワーディングエンジン70およびパケットバッファ71と、パケットフォワーディングエンジン70のI/Oポート70aに接続される複数のネットワークインターフェース72、等が追加されている。

【0055】メモリ11には、TCP/IPパケット等の通信データの中継/廃棄等の判定を行うためのルーティングテーブル80が設けられている。

【0056】このルーティングテーブル80は、たとえば図6に例示されるように、キーデータとそれに対応した検索結果とからなる複数のエントリを含んでいる。

【0057】各エントリは、たとえば、サブネットI/Pアドレス81、サブネットマスク82、これらに対応した出力ポート番号83、ネクストホップI/Pアドレス84、等の情報を含んでいる。

【0058】また、テーブルルックアップエンジン12Aは、上述のメモリインターフェース部12の機能の他に、さらにパケットフォワーディングエンジン70から与えられるIPヘッダ/TCPIPヘッダ等の情報をキーデータとして、メモリ11内に構築されているルーティングテーブル80のサブネットI/Pアドレス81、サブネ

ットマスク82を用いたヒット/ミス判定等の検索動作を行い、この検索結果に基づいて当該ヘッダ情報を持つパケットの中継/廃棄の判断を行い、パケットフォワーディングエンジン70に指示する機能を有する。

【0059】プロセッサ10Aは、マイクロプロセッサ10-1、マイクロプロセッサ10-1の制御プログラム等が格納される主記憶10-2、キャッシュメモリ10-3、ブート用の情報等が格納される不揮発性半導体メモリ10-4、PCIバス等の汎用バスとの情報の授受を制御するバスインターフェース10-5、等で構成され、ルータの全体の制御を行う。

【0060】上述のテーブルルックアップエンジン12Aやパケットフォワーディングエンジン70は、PCIバス等の汎用バスを介してプロセッサ10Aに接続される。

【0061】ルータが接続される情報ネットワークの構成の変化等により、他のルータから所定のプロトコルにて伝達されるネットワーク経路情報等にて、随時、ルーティングテーブル80を更新する必要があり、このような更新操作と、検索操作が競合して発生するシステムでは、テーブルルックアップエンジン12Aに設けられた上述のような機能を有するテーブル検索部5およびテーブル操作部6の機能により、テーブル検索部5によるルーティングテーブル80の検索動作の中断時間を最小限にした高速な検索動作が可能になる。

【0062】従って、図5に例示された構成のルータによれば、テーブル検索部5およびテーブル操作部6を含むテーブルルックアップエンジン12Aにより、情報ネットワークの構成の変化等に伴うルーティングテーブル80の更新と、IPヘッダ/TCPIPヘッダ等の情報をキーデータとするメモリ11内のルーティングテーブル80の高速な検索によるパケットの中継先の決定や廃棄等の判定結果に基づくパケットフォワーディングエンジン70によるパケットの中継動作を高速に行うことが可能となり、ルータの性能が向上する。

【0063】以下、具体的な数値にて、本発明の効果を説明する。なお、以下の説明では一例として、メモリ11(ルーティングテーブル80)の容量を16Mバイト、エントリバッファ60の容量を128バイト、プロセッサインターフェース部13からテーブル操作部6に対するデータ転送経路の幅を4バイト、一回の所要時間を400ns、とするが、本発明はこれらの数値に限定されるものではない。

【0064】<メモリ11におけるルーティングテーブル80の初期化>

図17の参考技術の場合、

ルーティングテーブル80へのライト

400ns×4M回(16Mバイト/4バイト)=1.

6秒

図8の本発明の場合、

テーブルライト ステータスリード
 $(400\text{ ns} + 600\text{ ns}) \times 128\text{ k回} (16\text{ Mバイト}/128\text{ バイト}) = 0.128\text{ 秒}$

テーブルライト時間 = $10\text{ ns} \times 32\text{ 回} (128\text{ バイト}/4)$ バースト + $\alpha \approx 400\text{ ns}$

ルータ間では、ルーティングプロトコルを使用し、たとえば30秒に1回の頻度で経路情報のやりとりをしており、ルータの再起動等の動作中断により経路情報の配布に参加できない回数が2回連続すると、当該ルータは故障と見なされ他のルータの経路情報から外されてしまう。従って、30秒間隔の経路情報の配布が2回連続して欠落しないためには、ルータの再起動を30秒以内に行う必要がある。従って、上述のようなルーティングテーブル80の初期化時間の短縮により、再起動時の全体の所要時間を短縮でき、再起動の遅延によって他のルータの経路情報から外されてしまう、という懸念を解消できる。

【0065】<経路追加時間>

図17の参考技術の場合、

CPU時間 停止ライト + ステータスリード + (テーブルライト × 32回) + 起動ライト = $400\text{ ns} + 600\text{ ns} + (400\text{ ns} \times 32\text{ 回}) + 400\text{ ns} = 14.2\text{ }\mu\text{秒}$

検索停止時間 検索状態レジスタリード + テーブルライト + 検索状態レジスタライト = $400\text{ ns} + (400\text{ ns} \times 32\text{ 回}) + 400\text{ ns} = 13.6\text{ }\mu\text{秒}$

ゆらぎの目安 = 1パケット転送時間

$$= 64\text{ バイト}/パケット \div \text{回線速度 } 100\text{ M bps} \approx 5\text{ }\mu\text{秒}$$

参考技術の場合には、上述のように検索停止時間が13.6μ秒でありゆらぎの目安を超過しているため、映像や音声等の品質低下が懸念される場合があるが、本発明の場合には、高々400nsであり、ゆらぎの目安よりもはるかに小さく、映像や音声等の品質低下は発生しない。

【0068】<1回の経路更新による検索停止時間>30秒に1回の割合でルータ間で経路情報をやりとりし、1回のやりとりで、経路情報総数の50k経路中の1%の経路が更新されると仮定すると、

参考技術の場合には、 $50\text{ k} \times 1\% \times 14.2\text{ }\mu\text{秒} = 7.2\text{ m秒}$

本発明の場合には、 $50\text{ k} \times 1\% \times 0.4\text{ }\mu\text{秒} = 0.2\text{ m秒}$

となり、経路更新に起因する検索停止時間、すなわち、ルータのパケット処理性能の劣化を小さくすることが可能になる。

【0069】以上本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0070】

図7の本発明の場合、

CPU時間 (エントリバッファ1~nライト) + ライトアドレスライト + エントリバッファステータスリード = $(400\text{ ns} \times 32\text{ 回}) + 400\text{ ns} + 600\text{ ns} = 13.8\text{ }\mu\text{秒}$

検索停止時間 = テーブルライト時間 = $10\text{ ns} \times 32\text{ 回} (128\text{ バイト}/4)$ バースト + $\alpha \approx 400\text{ ns}$

<パケットバッファ71の容量>検索が停止している間は、ルータに到来するパケットをパケットバッファ71に蓄積する必要がある。回線速度を一例として1Gbpsとして、上述の検索停止時間を考慮してバッファ容量を決めると、

参考技術の場合、回線速度 $1\text{ Gbps} \times 14.2\text{ }\mu\text{秒} = 14.2\text{ KBバイト}$

本発明の場合 回線速度 $1\text{ Gbps} \times 0.4\text{ }\mu\text{秒} = 400\text{ バイト}$

となり、パケットバッファ71の容量を大幅に削減できる。

【0066】<パケット転送時間のゆらぎ>さらにパケット受信側では検索停止時間がそのままデータ転送速度のばらつき(ゆらぎ)に見える。このゆらぎは、インターネット電話、インターネット放送、等のように実時間データを中継するときに映像や音声等の品質低下として問題になる。

【0067】

ゆらぎの目安 = 1パケット転送時間

【発明の効果】本発明の情報処理システムによれば、テーブル更新操作に起因する、テーブル検索時のメモリアクセスの中断を最小限にして、テーブル検索の高速化を実現することができる、という効果が得られる。

【0071】また、本発明の情報処理システムを、テーブル検索にてルーティングを行う情報中継装置として利用する場合における性能向上を実現できる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である情報処理システムの構成の一例を示す概念図である。

【図2】本発明の一実施の形態である情報処理システムの構成要素をさらに詳細に示した概念図である。

【図3】本発明の一実施の形態である情報処理システムの構成要素をさらに詳細に示した概念図である。

【図4】本発明の一実施の形態である情報処理システムの構成要素をさらに詳細に示した概念図である。

【図5】本発明の情報処理システムを、情報ネットワークにおける通信データの中継動作を行うルータ等の情報中継装置に適用した例を示す概念図である。

【図6】本発明の情報処理システムにおいてメモリ上に設定されるルーティングテーブルの一例を示す概念図である。

【図7】本発明の一実施の形態である情報処理システムの作用の一例を示すタイムチャートである。

【図8】本発明の一実施の形態である情報処理システムの作用の一例を示すフローチャートである。

【図9】本発明の一実施の形態である情報処理システムの作用の一例を示すフローチャートである。

【図10】本発明の一実施の形態である情報処理システムの作用の一例を示すフローチャートである。

【図11】本発明の一実施の形態である情報処理システムの作用の一例を示すフローチャートである。

【図12】本発明の一実施の形態である情報処理システムの作用の一例を示すフローチャートである。

【図13】本発明の一実施の形態である情報処理システムの作用の一例を示すフローチャートである。

【図14】本発明の参考技術である、検索テーブルの検索処理をハードウエアで行う検索処理機構のシステム構成図である。

【図15】本発明の参考技術である、検索テーブルの検索処理をハードウエアで行う検索処理機構の内部構成を示す概念図である。

【図16】本発明の参考技術である、検索テーブルの検索処理をハードウエアで行う検索処理機構の内部構成を示す概念図である。

【図17】本発明の参考技術である、検索テーブルの検索処理をハードウエアで行う検索処理機構の作用を示すタイムチャートである。

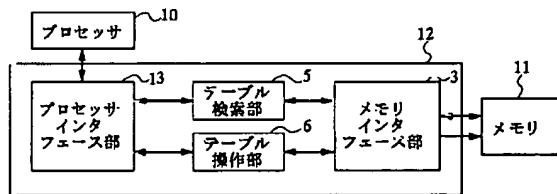
【符号の説明】

3…メモリインターフェース部、4…メモリインターフェー

ス部、5…テーブル検索部、6…テーブル操作部、10…プロセッサ、10A…プロセッサ、10-1…マイクロプロセッサ、10-2…主記憶、10-3…キャッシュメモリ、10-4…不揮発性半導体メモリ、10-5…バスインターフェース、11…メモリ、12…メモリインターフェース部、12A…集積回路、12A…テーブルロックアップエンジン、13…プロセッサインターフェース部、30…テーブル検索要求、30a…検索許可、31…検索用アドレス、32…検索用データ、33…テーブル操作リード要求、34…テーブル操作ライト要求、35…操作用アドレス、36…操作用データ、37…アビタ部（排他制御部）、37a, 37b…セレクタ、38…メモリ制御信号、39…選択信号、40…操作用データ、50…検索起動停止レジスタ、51…検索制御部、51a…キーデータレジスタ、51b…検索範囲アドレスレジスタ、51c…検索データバッファ、52…ステータスレジスタ、60…エントリバッファ（バッファ領域）、61…リードアドレスレジスタ（アドレスレジスタ）、62…ライトアドレスレジスタ（アドレスレジスタ）、63…操作制御部、64…ステータスレジスタ、70…パケットフォワーディングエンジン、70a…I/Oポート、71…パケットバッファ、72…ネットワークインターフェース、80…ルーティングテーブル、81…サブネットI/Pアドレス、82…サブネットマスク、83…出力ポート番号、84…ネクストホップI/Pアドレス、310…メモリアクセスアドレス、311…メモリアクセスデータ。

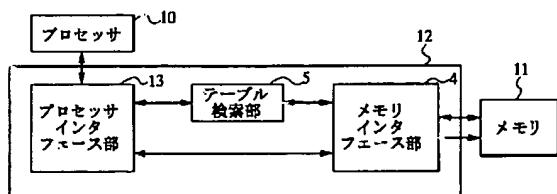
【図1】

図 1

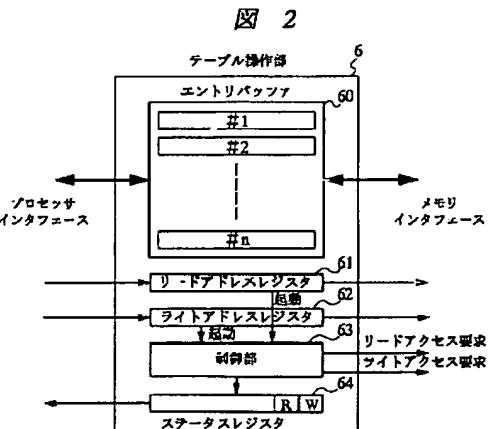


【図14】

図 14

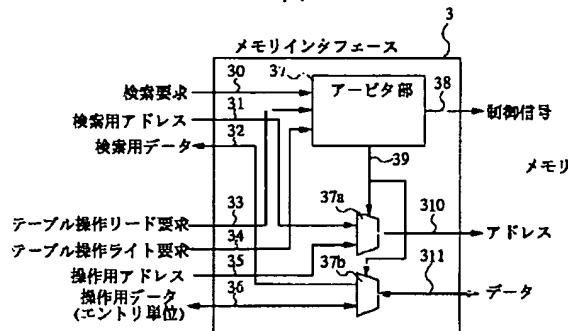


【図2】



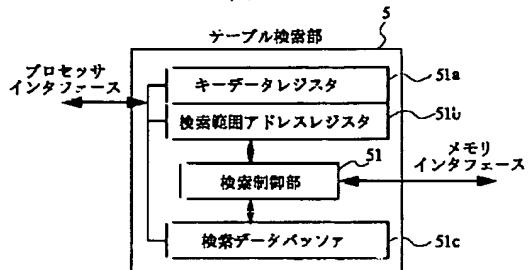
【図3】

図3



【図4】

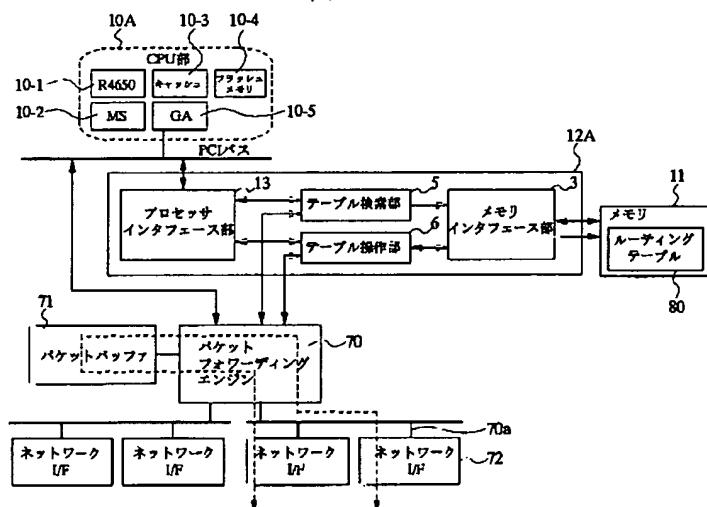
図4



【図8】

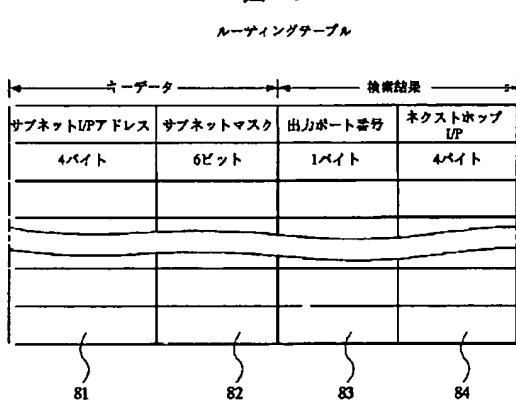
【図5】

図5



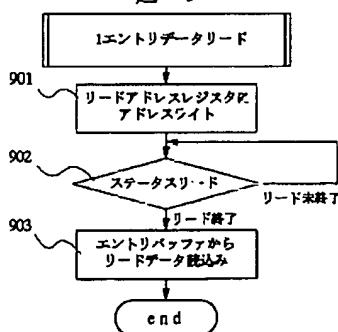
【図6】

図6



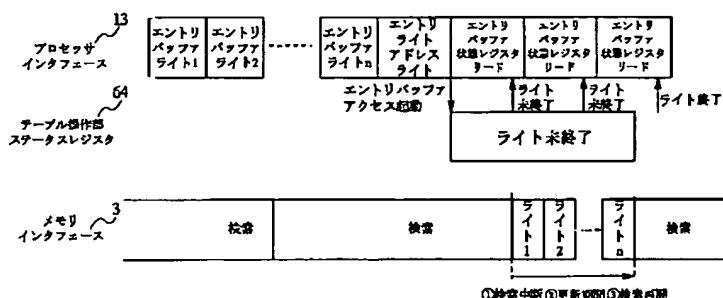
【図9】

図9



【図7】

図 7



【図11】

【図10】

図 10

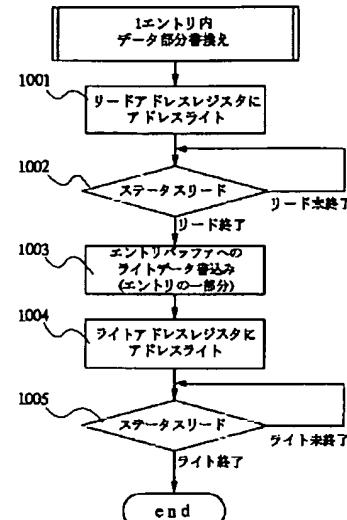


図 11

【図12】

図 12

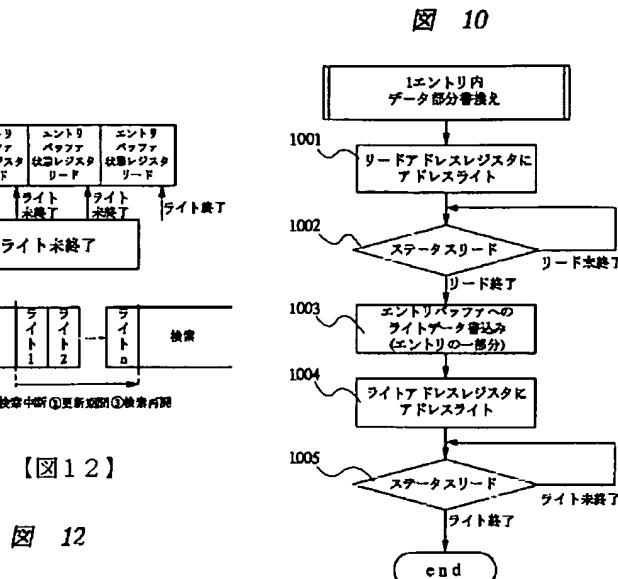
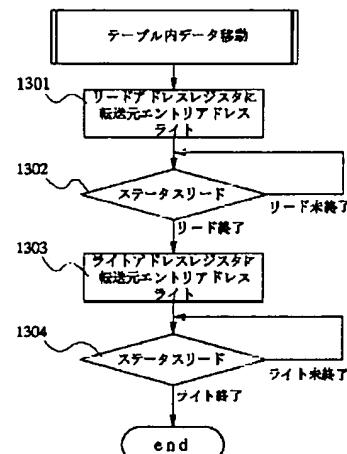


図 11

図 12

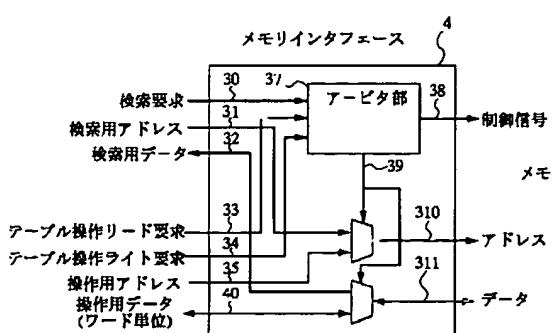
【図13】

図 13



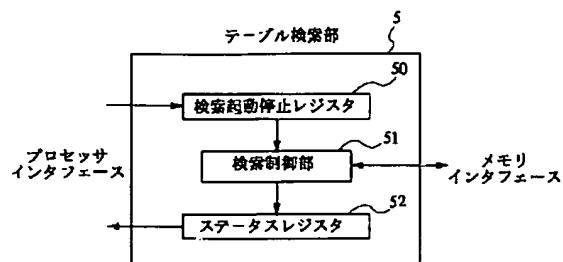
【図15】

図 15



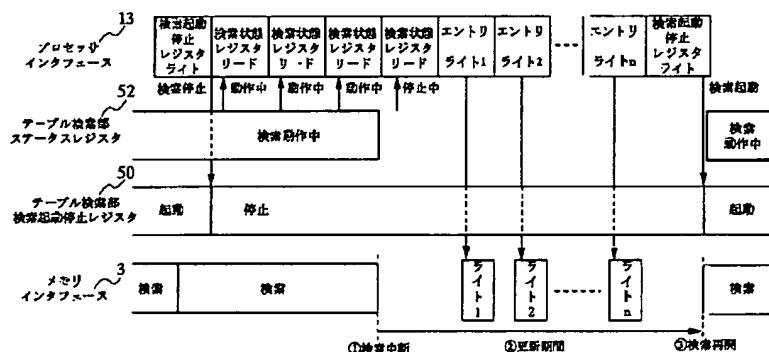
【図16】

图 16



【 17】

图 17



フロントページの続き

(72)発明者 阪田 善彦
神奈川県秦野市堀山下1番地 株式会社日
立製作所汎用コンピュータ事業部内

FターM(参考) 5K030 GA01 KA01 KA02 LB05 LD17
LE09
5K033 AA02 CB08 DA05 DB12 DB14
EC04
9A001 CC03 JJ14 JJ18 KK56